

## (12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro(43) Internationales Veröffentlichungsdatum  
11. November 2004 (11.11.2004)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 2004/098061 A1**(51) Internationale Patentklassifikation<sup>7</sup>: **H03K 19/086**

(74) Anwalt: EPPING HERMANN FISCHER PATENTANWALTSGESELLSCHAFT MBH; Ridlerstr. 55, 80339 München (DE).

(21) Internationales Aktenzeichen: PCT/EP2004/001615

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(22) Internationales Anmeldedatum:  
19. Februar 2004 (19.02.2004)

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ,

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:  
103 19 089.9 28. April 2003 (28.04.2003) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): AUSTRIAMICROSYSTEMS AG [AT/AT]; Schloss Premstätten, Unterpremstätten 8141 (AT).

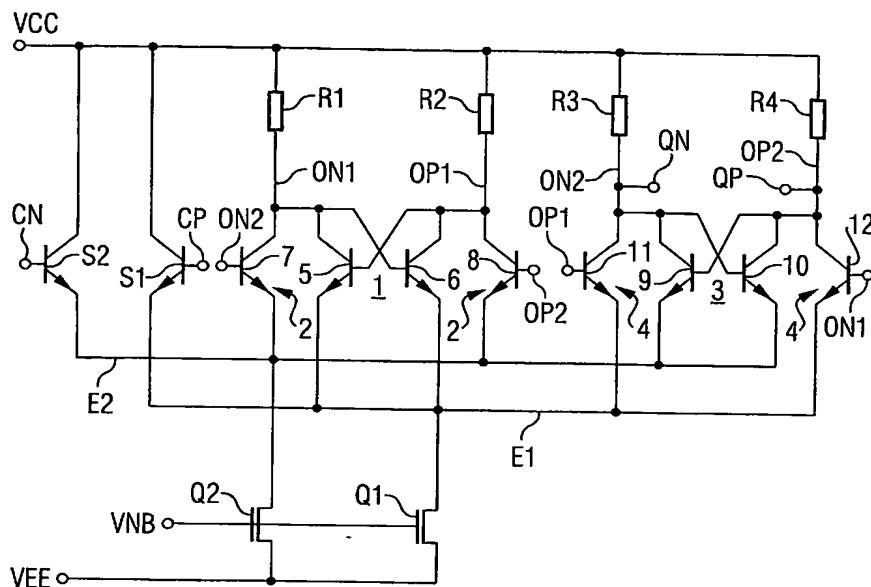
(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): HÖSS, Wolfgang [AT/AT]; Dr.-Lemischstrasse 15, Graz 8054 (AT).

*[Fortsetzung auf der nächsten Seite]*

(54) Title: FLIP-FLOP CIRCUIT ASSEMBLY

(54) Bezeichnung: FLIP-FLOP-SCHALTUNGSAORDNUNG



(57) Abstract: The invention relates to a flip-flop circuit assembly comprising at least four differential amplifiers (1, 2, 3, 4) which are interconnected in such a way that a flip-flop D is formed. According to said invention principle, the emitter nodes (E1, E2) of the differential amplifiers (1, 2, 3, 4) are switched by means of the pair of switches (S1, S2) with respect to a power potential and are controlled by a differential input clock signal applied to a control input (CN, CP). The inventive flip-flop operates at a particularly low power voltage (VCC) and is particularly suitable for designing frequency dividers and shift registers.

*[Fortsetzung auf der nächsten Seite]*



TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("*Guidance Notes on Codes and Abbreviations*") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

**Veröffentlicht:**

— mit internationalem Recherchenbericht

---

**(57) Zusammenfassung:** Es ist eine Flip-Flop-Schaltungsanordnung mit insgesamt vier miteinander zur Bildung eines D-Flip-Flops verschalteten Differenzverstärkern (1, 2, 3, 4) angegeben. Gemäss dem vorge-schlagenen Prinzip sind die beiden gemeinsamen Emitterkno-ten (E1, E2) der Differenzverstärker (1, 2, 3, 4) über ein Schalterpaar (S1, S2) gegen Versorgungspotential geschaltet und werden von einem differentiellen Eingangstaktsignal an einem Steuereingang (CN, CP) angesteuert. Die vorliegende Flip-Flop-Schaltung ist mit besonders geringer Versorgungs-spannung (VCC) betreibbar und bevorzugt zum Aufbau von Fre-quenzteilern oder Schieberegistern geeignet.

**Beschreibung****Flip-Flop-Schaltungsanordnung**

5 Die vorliegende Erfindung betrifft eine Flip-Flop-Schaltungsanordnung.

In integrierter Schaltungstechnik aufgebaute Flip-Flop-Schaltungen gehören zu den grundlegenden Schaltungsböcken der integrierten Schaltungstechnik und haben eine Vielzahl von Anwendungsgebieten.

10 Flip-Flop-Schaltungen können beispielsweise mit emittergekoppelten Transistoren in ECL-Schaltungstechnik, Emitter Coupled Logic, aufgebaut werden.

15 Derartige Flip-Flop-Schaltungen zur schnellen Signalverarbeitung sind normalerweise symmetrisch aufgebaut und zur Verarbeitung von differentiellen Signalen ausgelegt.

20 Problematisch bei bekannten Flip-Flop-Schaltungen in ECL-Technik ist, daß diese aufgrund ihres Aufbaus normalerweise verhältnismäßig große Betriebsspannungen benötigen, da zwischen den beiden Versorgungspotentialen stets zumindest zwei Basis-Emitter-Spannungen abfallen. Insbesondere in der modernen Kommunikationselektronik ist es jedoch wünschenswert, Flip-Flop-Schaltungen mit immer geringer werdender Versorgungsspannung betreiben zu können.

25 Aufgabe der vorliegenden Erfindung ist es, eine Flip-Flop-Schaltungsanordnung anzugeben, welche in ECL-Schaltungstechnik aufbaubar ist und welche mit geringer Versorgungsspannung betrieben werden kann.

30 35 Erfindungsgemäß wird die Aufgabe gelöst durch eine Flip-Flop-Schaltungsanordnung, umfassend

- ein Paar von Eingangsanschlüssen, ausgelegt zum Zuführen eines differentiellen Eingangs-Taktsignals,
- ein Paar von Ausgangsanschlüssen, ausgelegt zum Abgreifen eines differentiellen Ausgangssignals,

5 - vier Differenzverstärker mit je zwei Transistoren, deren gesteuerte Strecken in je einer Serienschaltung mit einem Widerstand angeordnet sind, wobei die Serienschaltungen zwischen einem Versorgungspotentialanschluß und einem ersten beziehungsweise zweiten gemeinsamen Emitterknoten angeordnet sind, deren Steueranschlüsse unter Bildung einer D-Flipflop-Struktur miteinander gekoppelt sind und bei denen am Ausgang von zumindest einem Differenzverstärker das Paar von Ausgangsanschlüssen gebildet ist,

10 - eine erste Stromquelle, die den ersten gemeinsamen Emitterknoten mit einem Bezugspotentialanschluß verbindet,

15 - eine zweite Stromquelle, die den zweiten gemeinsamen Emitterknoten mit dem Bezugspotentialanschluß verbindet,

- einen ersten Schalter, der mit seiner gesteuerten Strecke zwischen Versorgungspotentialanschluß und ersten Emitterknoten geschaltet ist, und

20 - einen zweiten Schalter, der mit seiner gesteuerten Strecke zwischen Versorgungspotentialanschluß und zweiten Emitterknoten geschaltet ist,

- wobei der erste und der zweite Schalter je einen Steueranschluß haben, die das Paar von Eingangsanschlüssen bilden.

Die vorgeschlagene Flip-Flop-Schaltungsanordnung ist symmetrisch aufgebaut und zur Führung differentieller Signale ausgelegt.

30

Die Schaltung kann bevorzugt in ECL-Schaltungstechnik implementiert werden.

Gemäß dem vorgeschlagenen Prinzip ist vorgesehen, die beiden Schalter, die mit dem differentiellen Taktsignal angesteuert werden, von den beiden Emitterknoten aus direkt auf Versorgungspotential zu beziehen.

Demnach ergibt sich mit Vorteil, daß zwischen Versorgungspotentialanschluß und Bezugspotentialanschluß bei Realisierung der Differenzverstärkertransistoren und der Schalter in Bipolartechnik nur mehr lediglich eine Basis-Emitter-Spannung  $U_{BE}$  abfällt und somit die Schaltung vorteilhafterweise mit besonders geringer Spannung betrieben werden kann.

Außerdem entspricht es dem vorgeschlagenen Prinzip, daß lediglich zwei Stromquellen erforderlich sind, die die beiden gemeinsamen Emitterknoten jeweils mit Bezugspotential koppeln. Somit sind die Stromquellen für alle Differenzverstärker in einem Stromquellenpaar zusammengefaßt.

Ein zusätzlicher Vorteil des vorgeschlagenen Prinzips ergibt sich dadurch, daß durch die geringere Anzahl der erforderlichen Stromquellen der Strombedarf der Schaltung verringert ist.

Eine noch weitere Verringerung des Strombedarfs der Schaltung ergibt sich durch bevorzugtes Ausführen des ersten und des zweiten Schalters, die vom differentiellen Taktsignal angesteuert werden, als Transistoren, die als Emitterfolger arbeiten. Somit können mit Vorteil Emitterfolger am Ausgang der Flip-Flop-Schaltung entfallen.

Dennoch ist es mit der vorgeschlagenen Schaltung mit Vorteil möglich, den Ausgang eines wie vorgeschlagen ausgeführten Flip-Flops an einen Dateneingang desselben oder eines weiteren, gleichartigen Flip-Flops unmittelbar anzuschließen. Demnach können mit dem vorgeschlagenen Flip-Flop problemlos Frequenzteilerschaltungen und/oder Schieberegister aufgebaut und dennoch auf ausgangsseitige Emitterfolger verzichtet werden.

Gemäß einer bevorzugten Weiterbildung der vorgeschlagenen Flip-Flop-Schaltungsanordnung sind die vier Differenzverstärker so ausgeführt, daß

- ein erster Differenzverstärker vorgesehen ist umfassend ein erstes Paar von in dem ersten Emitterknoten emittergekoppelten Transistoren, deren Kollektoranschlüsse einen ersten Schaltungsknoten und einen zweiten Schaltungsknoten bilden und deren Basisanschlüsse über Kreuz mit deren Kollektoranschlüssen verbunden sind,
- ein zweiter Differenzverstärker vorgesehen ist umfassend ein zweites Paar von in dem zweiten Emitterknoten emittergekoppelten Transistoren, deren Kollektoranschlüsse mit dem ersten Schaltungsknoten beziehungsweise mit dem zweiten Schaltungsknoten verbunden sind und deren Basisanschlüsse einen dritten Schaltungsknoten und einen vierten Schaltungsknoten bilden,
- ein dritter Differenzverstärker vorgesehen ist umfassend ein drittes Paar von in dem zweiten Emitterknoten emittergekoppelten Transistoren, deren Kollektoranschlüsse mit dem dritten Schaltungsknoten beziehungsweise mit dem vierten Schaltungsknoten verbunden sind und deren Basisanschlüsse über Kreuz mit deren Kollektoranschlüssen verbunden sind,
- 20 und daß
- ein vierter Differenzverstärker vorgesehen ist umfassend ein vieres Paar von in dem ersten Emitterknoten emittergekoppelten Transistoren, deren Kollektoranschlüsse mit dem dritten Schaltungsknoten beziehungsweise mit dem vierten Schaltungsknoten verbunden sind und deren Basisanschlüsse mit dem zweiten Schaltungsknoten beziehungsweise mit dem ersten Schaltungsknoten verbunden sind.

Gemäß einer weiteren, bevorzugten Ausführungsform des vorgeschlagenen Prinzips sind der erste, der zweite, der dritte und der vierte Schaltungsknoten, welche an jeweiligen Kollektoranschlüssen der Transistoren der Differenzverstärker gebildet sind, über je einen Widerstand mit dem Versorgungspotentialanschluß verbunden.

35

Die Widerstände können als Stromquellen ausgeführt sein. Die Stromquellen können als hierzu geeignet beschalteter Transi-

stor ausgeführt sein. Die Stromquellentransistoren sind in diesem Fall bevorzugt als Feldeffekttransistoren ausgebildet.

Die Differenzverstärker sowie die beiden Schalter, die mit dem differentiellen Taktsignal angesteuert werden, sind bevorzugt in bipolarer Schaltungstechnik ausgeführt. Die Schalter- und Differenzverstärkertransistoren sind bevorzugt als npn-Transistoren ausgebildet.

10 Die erste und die zweite Stromquelle, welche die beiden gemeinsamen Emitterknoten mit dem Bezugspotentialanschluß der Flip-Flop-Schaltung verbinden, sind bevorzugt in MOS-Schaltungstechnik ausgeführt und umfassen je einen Transistor. Die Stromquellentransistoren sind bevorzugt als n-Kanal-

15 Transistoren von einem selbstleitenden Typ ausgeführt. Die Steueranschlüsse der Transistoren, die die erste und die zweite Stromquelle bilden, sind bevorzugt miteinander verbunden und an ein konstantes Referenzpotential gelegt. Dabei sind die Stromquellentransistoren bevorzugt jeweils Ausgangs-

20 transistor eines Stromspiegels. Alternativ können die erste und zweite Stromquelle auch als Widerstand oder Bipolar-Transistor ausgeführt sein.

Weitere Einzelheiten und vorteilhafte Ausgestaltungen des  
25 vorgeschlagenen Prinzips sind Gegenstand der Unteransprüche.

Die Erfindung wird nachfolgend an einem Ausführungsbeispiel anhand der einzigen Figur näher erläutert.

30 Es zeigt:

die Figur ein Ausführungsbeispiel der vorliegenden Flip-Flop-Schaltungsanordnung aufgebaut in ECL-Schaltungstechnik anhand eines Schaltplans.

35

Die Figur zeigt eine Flip-Flop-Schaltungsanordnung, welche symmetrisch aufgebaut ist und welche ausgelegt ist zur Verar-

## 6

beitung differentieller Signale. Die vorliegende Flip-Flop-Schaltungsanordnung ist in sogenannter Emitter Coupled Logic(ECL)-Schaltungstechnik aufgebaut und bevorzugt als integrierte Schaltung realisiert.

5

Die Flip-Flop-Schaltungsanordnung umfaßt ein Paar von Eingangsanschlüssen CP, CN, an denen ein differentielles Taktsignal zugeführt werden kann. Das Paar von Eingangsanschlüssen CN, CP ist an je einem Basisanschluß je eines zugeordneten Transistors S1, S2 gebildet. Die npn-Transistoren S1, S2, welche als Schalter arbeiten, sind mit ihren beiden Kollektoranschlüssen unmittelbar mit einem Versorgungspotentialanschluß VCC verbunden. Der Emitteranschluß des ersten Schalters S1 ist mit einem ersten gemeinsamen Emitterknoten E1 verbunden. Der Emitteranschluß des zweiten Schalters S2 ist mit einem zweiten gemeinsamen Emitterknoten verbunden. Der erste und der zweite Emitterknoten E1, E2 sind über je eine Konstantstromquelle Q1, Q2 mit einem Bezugspotentialanschluß VEE verbunden. Die Konstantstromquellen Q1, Q2 sind vorliegend als MOS-Feldeffekttransistoren vom n-Kanal-Typ ausgeführt. Die Gateanschlüsse der Stromquellentransistoren Q1, Q2 sind miteinander verbunden und bilden einen Anschluß VNB zum Zuführen eines Referenzpegels. An diesen Anschluß ist bevorzugt eine Stromquelle über eine Transistor-diode angeschlossen, so daß die Transistoren Q1, Q2 jeweils den ausgangsseitigen Transistor eines Stromspiegels bilden.

Den eigentlichen Kern der Flip-Flop-Schaltungsanordnung bilden insgesamt vier Differenzverstärker 1, 2, 3, 4, welche wie nachfolgend beschrieben mit ihren Ein- und Ausgängen mit den beiden Summenknoten E1, E2 verbunden sind. Die Transistoren der Differenzverstärker 1 bis 4 sind dabei in bipolarer Schaltungstechnik als npn-Transistoren ausgebildet und werden in ECL-Schaltungstechnik schaltend betrieben.

35

Der erste Differenzverstärker 1 umfaßt zwei emittergekoppelte Transistoren 5, 6, deren Emitteranschlüsse unmittelbar mit-

einander und mit dem ersten Emitterknoten E1 verbunden sind. Der Kollektoranschluß des ersten Transistors 5 des ersten Differenzverstärkers 1 bildet einen ersten Schaltungsknoten ON1, der Kollektoranschluß des zweiten Transistors 6 des 5 ersten Differenzverstärkers 1 bildet einen zweiten Schaltungsknoten OP1. Der Basisanschluß des ersten Transistors 5 ist mit dem Kollektoranschluß des zweiten Transistors 6 und der Basisanschluß des zweiten Transistors 6 mit dem Kollektoranschluß des ersten Transistors 5 verbunden. Der erste 10 Schaltungsknoten ON1 ist über einen ersten Widerstand R1 mit dem Versorgungspotentialanschluß VCC verbunden. Der zweite Schaltungsknoten OP1 ist über einen zweiten Widerstand R2 mit dem Versorgungspotentialanschluß VCC verbunden.

15 Der zweite Differenzverstärker 2 umfaßt einen ersten Transistor 7 und einen zweiten Transistor 8, deren Emitteranschlüsse miteinander und mit dem zweiten gemeinsamen Emitterknoten E2 verbunden sind. Der Kollektoranschluß des ersten Transistors 7 des zweiten Differenzverstärkers 2 ist mit dem ersten Schaltungsknoten ON1 verbunden, der Kollektoranschluß des zweiten Transistors 8 des zweiten Differenzverstärkers 2 ist mit dem zweiten Schaltungsknoten OP1 verbunden. Der Basisanschluß des ersten Transistors 7 ist mit einem dritten 20 Schaltungsknoten ON2 verbunden, der Basisanschluß des zweiten Transistors 8 ist mit einem vierten Schaltungsknoten OP2 verbunden.

Der dritte Differenzverstärker 3 umfaßt einen ersten Transistor 9 und einen zweiten Transistor 10, deren Emitteranschlüsse miteinander und mit dem zweiten gemeinsamen Emitterknoten E2 der Schaltung verbunden sind. Kollektor- und Basisanschlüsse der Transistoren 9, 10 des dritten Differenzverstärkers 3 sind wie die Transistoren 5, 6 bei dem ersten Differenzverstärker 1 über Kreuz miteinander verbunden. Der 30 Kollektoranschluß des ersten Transistors 9 des dritten Differenzverstärkers 3 ist an den dritten Schaltungsknoten ON2 angeschlossen, der Kollektoranschluß des zweiten Transistors 10

des dritten Differenzverstärkers 3 ist mit dem vierten Schaltungsknoten OP2 verbunden.

Der vierte Differenzverstärker 4 umfaßt zwei emittergekoppelte Transistoren 11, 12, deren gemeinsamer Emitteranschluß mit dem ersten Summenknoten beziehungsweise gemeinsamen Emitterknoten E1 verbunden ist. Der Kollektoranschluß des ersten Transistors 11 ist mit dem dritten Schaltungsknoten ON2, der Kollektoranschluß des zweiten Transistors 12 des vierten Differenzverstärkers 4 ist mit dem vierten Schaltungsknoten OP2 verbunden. Der Basisanschluß des ersten Transistors 11 ist mit dem zweiten Schaltungsknoten OP1 verbunden, der Basisanschluß des zweiten Transistors 12 des vierten Differenzverstärkers 4 ist mit dem ersten Schaltungsknoten ON1 verbunden.

15

Der dritte und der vierte Schaltungsknoten ON2, OP2 bilden das Paar von Ausgangsanschlüssen QN, QP der Flip-Flop-Schaltungsanordnung.

20 Die vier Schaltungsknoten ON1, OP1, ON2, OP2 der Schaltungsanordnung sind über je einen Widerstand R1, R2, R3, R4 mit dem Versorgungspotentialanschluß VCC verbunden.

Die zum Betrieb der Schaltung gemäß der Figur erforderliche  
25 Versorgungsspannung ergibt sich aus der Potentialdifferenz zwischen dem Versorgungspotentialanschluß VCC und dem Bezugspotentialanschluß VEE. Die zumindest erforderliche Spannung ergibt sich aus der Summe von insgesamt drei Spannungen, nämlich der Spannung, die über den Widerständen R1 bis R4 abfällt, einer Basis-Emitter-Spannung, die über den Transistoren 5 bis 12, S1, S2 abfällt und einer Stromquellenspannung, die über den Stromquellen Q1, Q2 abfällt. Bei der gezeigten Schaltung, bei der beispielhaft über den Kollektorwiderständen ein Hub von 0,3 V, an den Stromspiegeltransistoren Q1, Q2  
30 ein Spannungsabfall von ebenfalls 0,3 V und eine an den Transistoren 5 bis 12, S1, S2 eine Basis-Emitter-Spannung von 0,9 V vorgesehen ist, ergibt sich im vorliegenden Zahlen-

beispiel eine Mindest-Versorgungsspannung zum realistischen Betrieb des D-Flip-Flops von lediglich 1,5 V.

Die beiden Schalter S1, S2 arbeiten als Emitterfolger und  
5 sind in einer Bypass-Schaltung an die Summenknoten E1, E2 der Differenzverstärker 1 bis 4 angeschaltet. Demnach ist die Funktionalität eines Ausgangsemitterfolgers bereits in die Schaltung integriert, so daß am Ausgang QN, QP der Schaltung mit Vorteil kein Emitterfolger nötig ist. Demnach bietet die  
10 Schaltung eine zusätzliche Stromersparnis.

Die Schaltung gemäß der Figur ist besonders dazu geeignet, als Frequenzteiler verschaltet zu werden, der eine Frequenzteilung durch zwei bewirkt. Hierfür sind die Ausgänge QN, QP  
15 des Flip-Flops, welches ein D-Flip-Flop ist; mit den Daten-Eingängen des Flip-Flops in einer negativen Rückkopplung zu verbinden. Am Ausgang QN, QP kann dann ein Signal mit der halbierten, am Takteingang CN, CP anliegenden Taktfrequenz abgegriffen werden.

20

Ein weiteres, bevorzugtes Anwendungsgebiet der Schaltung liegt in dem Aufbau von Schieberegistern. Hierfür werden die Ausgänge QN, QP eines Flip-Flops gemäß Figur 1 jeweils mit dem Dateneingangspaar eines nachgeschalteten, gleichartigen  
25 Flip-Flops verbunden. Die Takteingänge CN, CP aller in solcher Weise zu einem Schieberegister verschalteten Flip-Flops werden miteinander und mit einem gemeinsamen Takteingang des Registers verbunden.

30

In alternativen Ausführungen der Erfindung kann beispielsweise anstelle der Widerstände R1 bis R4 ein Transistor vorgesehen sein. Ebenso können Bipolartransistoren durch unipolare Feldeffekt-Transistoren ersetzt werden und/oder umgekehrt.

## Patentansprüche

1. Flip-Flop-Schaltungsanordnung, umfassend
  - ein Paar von Eingangsanschlüssen (CP, CN), ausgelegt zum Zuführen eines differentiellen Taktsignals;
  - ein Paar von Ausgangsanschlüssen (QP, QN), ausgelegt zum Abgreifen eines differentiellen Ausgangssignals,
  - vier Differenzverstärker (1, 2, 3, 4) mit je zwei Transistoren (5, 6; 7, 8; 9, 10; 11, 12), deren gesteuerte Strecken in je einer Serienschaltung mit einem Widerstand (R1, R2, R3, R4) angeordnet sind, wobei die Serienschaltungen zwischen einem Versorgungspotentialanschluß (VCC) und einem ersten beziehungsweise zweiten gemeinsamen Emitterknoten (E1, E2) angeordnet sind, deren Steueranschlüsse unter Bildung einer D-Flipflop-Struktur miteinander gekoppelt sind und bei denen am Ausgang von zumindest einem Differenzverstärker (3) das Paar von Ausgangsanschlüssen (QP, QN) gebildet ist,
  - eine erste Stromquelle (Q1), die den ersten gemeinsamen Emitterknoten (E1) mit einem Bezugspotentialanschluß (VEE) verbindet,
  - eine zweite Stromquelle (Q2), die den zweiten gemeinsamen Emitterknoten (E2) mit dem Bezugspotentialanschluß (VEE) verbindet,
  - einen ersten Schalter (S1), der mit seiner gesteuerten Strecke zwischen den Versorgungspotentialanschluß (VCC) und den ersten Emitterknoten (E1) geschaltet ist, und
  - einen zweiten Schalter (S2), der mit seiner gesteuerten Strecke zwischen den Versorgungspotentialanschluß (VCC) und den zweiten Emitterknoten (E2) geschaltet ist,
2. Flip-Flop-Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß

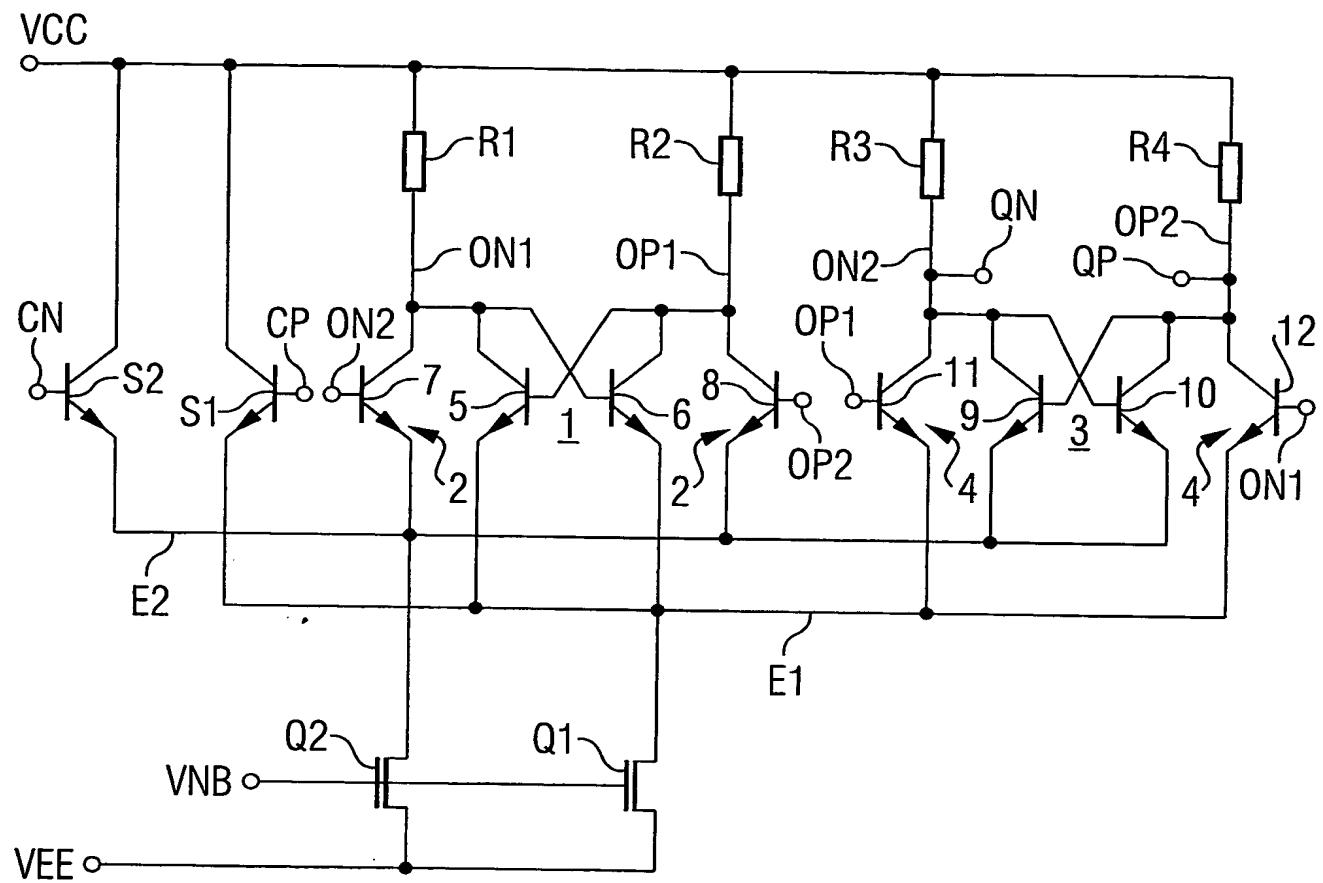
- ein erster Differenzverstärker (1) vorgesehen ist umfassend ein erstes Paar von in dem ersten Emitterknoten (E1) emittergekoppelten Transistoren (5, 6), deren Kollektoranschlüsse einen ersten Schaltungsknoten (ON1) und einen zweiten Schaltungsknoten (OP1) bilden und deren Basisanschlüsse über Kreuz mit deren Kollektoranschlüssen verbunden sind,
- ein zweiter Differenzverstärker (2) vorgesehen ist umfassend ein zweites Paar von in dem zweiten Emitterknoten (E2) emittergekoppelten Transistoren (7, 8), deren Kollektoranschlüsse mit dem ersten Schaltungsknoten (ON1) beziehungsweise mit dem zweiten Schaltungsknoten (OP1) verbunden sind und deren Basisanschlüsse einen dritten Schaltungsknoten (ON2) und einen vierten Schaltungsknoten (OP2) bilden,
- ein dritter Differenzverstärker (3) vorgesehen ist umfassend ein drittes Paar von in dem zweiten Emitterknoten (E2) emittergekoppelten Transistoren (9, 10), deren Kollektoranschlüsse mit dem dritten Schaltungsknoten (ON2) beziehungsweise mit dem vierten Schaltungsknoten (OP2) verbunden sind und deren Basisanschlüsse über Kreuz mit deren Kollektoranschlüssen verbunden sind, und daß
- ein vierter Differenzverstärker (4) vorgesehen ist umfassend ein vieres Paar von in dem ersten Emitterknoten (E1) emittergekoppelten Transistoren (11, 12), deren Kollektoranschlüsse mit dem dritten Schaltungsknoten (ON2) beziehungsweise mit dem vierten Schaltungsknoten (OP2) verbunden sind und deren Basisanschlüsse mit dem zweiten Schaltungsknoten (OP1) beziehungsweise mit dem ersten Schaltungsknoten (ON1) verbunden sind.

30

3. Flip-Flop-Schaltungsanordnung nach Anspruch 2, dadurch gekennzeichnet, daß der erste, der zweite, der dritte und der vierte Schaltungsknoten (ON1, OP1, ON2, OP2) über je einen Widerstand (R1, R2, R3, R4) mit dem Versorgungspotentialanschluß (VCC) verbunden sind.

12

4. Flip-Flop-Schaltungsanordnung nach einem der Ansprüche 1 bis 3,  
dadurch gekennzeichnet, daß  
der erste, der zweite, der dritte und der vierte Differenz-  
verstärker (1, 2, 3, 4) sowie der erste und der zweite Schal-  
ter (S1, S2) in bipolarer Schaltungstechnik ausgeführt sind.
5. Flip-Flop-Schaltungsanordnung nach einem der Ansprüche 1 bis 4,  
dadurch gekennzeichnet, daß  
die erste Stromquelle und die zweite Stromquelle (Q1, Q2) je  
einen Transistor in Metal Oxide Semiconductor-  
Schaltungstechnik umfassen.
- 10 6. Flip-Flop-Schaltungsanordnung nach einem der Ansprüche 1 bis 5,  
dadurch gekennzeichnet, daß  
diese in Emitter Coupled Logic-Schaltungstechnik implemen-  
tiert ist.



## INTERNATIONAL SEARCH REPORT

International Application No  
PCT/EP2004/001615

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 H03K19/086

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
IPC 7 H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

PAJ, WPI Data, EPO-Internal

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol. 1997, no. 07, 31 July 1997 (1997-07-31) -& JP 09 069759 A (MITSUBISHI ELECTRIC CORP), 11 March 1997 (1997-03-11) abstract; figure 2 --- A PATENT ABSTRACTS OF JAPAN vol. 1998, no. 04, 31 March 1998 (1998-03-31) -& JP 09 326682 A (NEC ENG LTD), 16 December 1997 (1997-12-16) abstract; figure 3 ---	1-6
		-/-

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

## ° Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search

4 June 2004

Date of mailing of the international search report

14/06/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Kassner, H

## INTERNATIONAL SEARCH REPORT

International Application No  
PCT/EP2004/001615

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol. 015, no. 165 (E-1061), 25 April 1991 (1991-04-25) -& JP 03 034718 A (TOSHIBA CORP), 14 February 1991 (1991-02-14) abstract; figure 3 ----	1-6
A	EP 0 599 517 A (AMERICAN TELEPHONE & TELEGRAPH) 1 June 1994 (1994-06-01) column 3, line 22 -column 5, line 29; figures 2,3 ----	1-6
A	US 5 828 237 A (KEATING PIERCE V) 27 October 1998 (1998-10-27) the whole document -----	1-6

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International Application No  
**PCT/EP2004/001615**

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
JP 09069759	A 11-03-1997	NONE		
JP 09326682	A 16-12-1997	NONE		
JP 03034718	A 14-02-1991	NONE		
EP 0599517	A 01-06-1994	US 5289055 A 22-02-1994	EP 0599517 A2 01-06-1994	JP 6224738 A 12-08-1994
US 5828237	A 27-10-1998	NONE		

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen  
PCT/EP2004/001615

**A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES**  
IPK 7 H03K19/086

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

**B. RECHERCHIERTE GEBIETE**

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
IPK 7 H03K

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der Internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

PAJ, WPI Data, EPO-Internal

**C. ALS WESENTLICH ANGESEHENE UNTERLAGEN**

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	PATENT ABSTRACTS OF JAPAN vol. 1997, no. 07, 31. Juli 1997 (1997-07-31) -& JP 09 069759 A (MITSUBISHI ELECTRIC CORP), 11. März 1997 (1997-03-11) Zusammenfassung; Abbildung 2 ---	1-6
A	PATENT ABSTRACTS OF JAPAN vol. 1998, no. 04, 31. März 1998 (1998-03-31) -& JP 09 326682 A (NEC ENG LTD), 16. Dezember 1997 (1997-12-16) Zusammenfassung; Abbildung 3 ---	1-6 -/-

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

- \* Besondere Kategorien von angegebenen Veröffentlichungen :
- \*'A' Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- \*'E' älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
- \*'L' Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- \*'O' Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- \*'P' Veröffentlichung, die vor dem Internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

- \*'T' Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
- \*'X' Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erforderlicher Tätigkeit beruhend betrachtet werden
- \*'Y' Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erforderlicher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
- \*& Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der Internationalen Recherche	Absendedatum des Internationalen Recherchenberichts
4. Juni 2004	14/06/2004
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL ~ 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Bevollmächtigter Bediensteter  Kassner, H

## INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen  
PCT/EP2004/001615

## C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	PATENT ABSTRACTS OF JAPAN vol. 015, no. 165 (E-1061), 25. April 1991 (1991-04-25) -& JP 03 034718 A (TOSHIBA CORP), 14. Februar 1991 (1991-02-14) Zusammenfassung; Abbildung 3 ----	1-6
A	EP 0 599 517 A (AMERICAN TELEPHONE & TELEGRAPH) 1. Juni 1994 (1994-06-01) Spalte 3, Zeile 22 -Spalte 5, Zeile 29; Abbildungen 2,3 ----	1-6
A	US 5 828 237 A (KEATING PIERCE V) 27. Oktober 1998 (1998-10-27) das ganze Dokument -----	1-6

**INTERNATIONALES RECHERCHENBERICHT**

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

**PCT/EP2004/001615**

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
JP 09069759	A 11-03-1997	KEINE	
JP 09326682	A 16-12-1997	KEINE	
JP 03034718	A 14-02-1991	KEINE	
EP 0599517	A 01-06-1994	US 5289055 A EP 0599517 A2 JP 6224738 A	22-02-1994 01-06-1994 12-08-1994
US 5828237	A 27-10-1998	KEINE	